

MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication number: JP2000138260

Publication date: 2000-05-16

Inventor: YANAGIDA TOSHIHARU

Applicant: SONY CORP

Classification:

- International: H01L91/309; H01L91/304; H01L91/306; H01L91/308;
H01L21/56; H01L21/60; H01L21/02; (IPC1-7):
H01L21/60; H01L21/304; H01L21/306; H01L21/3065;
H01L21/56

- European:

Application number: JP19980311057 19981030

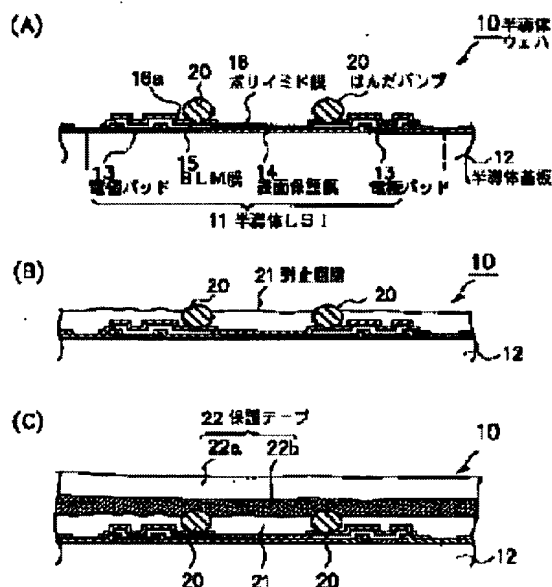
Priority number(s): JP19980311057 19981030

Report a data error here

Abstract of JP2000138260

PROBLEM TO BE SOLVED: To enhance connection reliability of flip-chip mounting by filling the surface on the electrode pad side of a semiconductor device with sealing resin, while surrounding the side face of solder bumps formed thereon and making thin the rear surface of a semiconductor substrate, thereby enhancing strength at the joint.

SOLUTION: A spherical bump 20 of high melting point solder is formed at each electrode part of individual semiconductor LSIs 11 on a semiconductor wafer 10. The entire surface of the semiconductor wafer 10 is then spin coated with a sealing resin 21, e.g. epoxy resin, which is cured through heat treatment at about 150 deg.C for about 5 hours. Since the periphery of the solder bump 20 is filled with the sealing resin 21 before the semiconductor substrate 12 are made thin by mechanical grinding, the mechanical strength of the semiconductor substrate 12 is enhanced. Handling of a thin semiconductor substrate 12 is facilitated, and the yield of the semiconductor LSI is increased.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-138260

(P2000-138260A)

(43) 公開日 平成12年5月16日 (2000.5.16)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 S 5 F 0 0 4
		21/304	6 2 1 D 5 F 0 4 3
21/3065			6 3 1 5 F 0 4 4
21/304	6 2 1		6 4 5 C 5 F 0 6 1
	6 3 1	21/56	E

審査請求 未請求 請求項の数10 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願平10-311057

(22) 出願日 平成10年10月30日 (1998. 10. 30)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 柳田 敏治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100096806

弁理士 岡▲崎▼ 信太郎 (外1名)

F ターム (参考) 5F004 AA16

5F043 AA02 BB03 DD16 EE08 FF07

GG01 GG10

5F044 QQ04 RR18

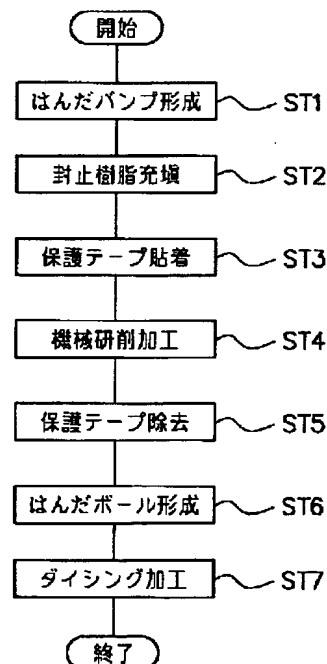
5F061 AA01 CA10

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体装置をより薄型に構成することができると共に、封止樹脂を使用することなく、半導体装置とプリント配線基板との間の熱ストレスを確実に緩和し、接合部分の強度を高めてフリップチップ実装における接続信頼性を高めるようにした半導体装置の製造方法を提供すること。

【解決手段】 半導体装置の電極パッド上にはんだバンプを形成し、前記はんだバンプの側面を包囲するように、前記半導体装置の電極パッド側の表面に封止樹脂を充填し、前記半導体装置を構成する半導体基板の裏面に対して薄型化加工を行なう。



【特許請求の範囲】

【請求項1】 半導体装置の電極パッド上にはんだバンプを形成する第1の段階と、
前記はんだバンプの側面を包囲するように、前記半導体装置の電極パッド側の表面に封止樹脂を充填する第2の段階と、
前記半導体装置を構成する半導体基板の裏面に対して薄型化加工を行なう第3の段階とを含んでいることを特徴とする半導体装置の製造方法。

【請求項2】 前記第3の段階における薄型化加工は、前記半導体基板の厚さが200 μ m以下になるように行なわれる請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第3の段階における薄型化加工は、機械研削ないし化学的機械研磨により行なわれる請求項1に記載の半導体装置の製造方法。

【請求項4】 前記第3の段階における薄型化加工は、エッチング処理により行なわれる請求項1に記載の半導体装置の製造方法。

【請求項5】 前記第3の段階の薄型化加工の前に、前記はんだバンプ及び封止樹脂を覆うように、前記半導体装置の表面全体が保護部材により覆われ、前記薄型化加工の後に、前記保護部材が除去される請求項1に記載の半導体装置の製造方法。

【請求項6】 前記第3の段階の薄型化加工の後に、前記封止樹脂の表面に突出した前記はんだバンプの表面を清浄化する第4の工程を含んでいる請求項1に記載の半導体装置の製造方法。

【請求項7】 前記第4の段階における清浄化は、プラズマクリーニング処理により行なわれる請求項6に記載の半導体装置の製造方法。

【請求項8】 前記プラズマクリーニング処理が、少なくとも不活性ガスの放電プラズマによるスパッタエッチング処理である請求項7に記載の半導体装置の製造方法。

【請求項9】 前記プラズマクリーニング処理が、少なくとも還元性ガスの放電プラズマによるスパッタエッチング処理である請求項7に記載の半導体装置の製造方法。

【請求項10】 少なくとも前記第3の段階までの各段階が、半導体ウェハの状態の半導体基板上に形成された半導体装置に対して行なわれる請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体IC、半導体LSI等の半導体装置の製造方法に関し、特に電極パッド部にはんだバンプを備えた半導体装置の製造方法に関するものである。

【0002】

【従来の技術】近年、デジタルビデオカメラ、デジタル

携帯電話、ノートブック型パーソナルコンピュータ等の携帯用電子機器が広く普及してきており、これらの携帯用電子機器に対する小型化、薄型化及び軽量化等の要求が高まってきている。携帯用電子機器の小型化、薄型化及び軽量化等を実現するためには、部品実装密度を向上させることが重要な課題になっている。特に、半導体IC、半導体LSI等の半導体装置に関しても、従来のパッケージ型半導体装置の代わりに、プリント配線基板上に直接マウントするフリップチップ型の半導体装置を使用した高密度実装技術が開発され、実用化されてきている。

【0003】このようなフリップチップ型の半導体装置の実装（フリップチップ実装）を行なう実装方法としては、例えば半導体LSIのA1電極パッド上にはんだバンプを形成して、半導体LSIのチップの各接続端子をこのはんだバンプ上に当接させ、LSIチップを直接にプリント配線基板上に実装する方法がある。ここで、上記はんだバンプの製造方法としては、電解メッキを利用する方法がある。この方法によれば、下地材料層の表面状態や電気抵抗の僅かなバラツキによって、電解メッキにより成膜されるはんだの厚さが影響を受けることになり、1つのICチップ内にて高さの均一なはんだバンプを形成することが基本的に困難であるという問題があった。

【0004】これに対して、はんだバンプの高さのバラツキを抑制するようにしたはんだバンプの製造方法として、真空蒸着による成膜とフォトリソ膜のリフトオフを利用したパターン形成による方法がある。この方法は、例えば図11に示すようにして実施される。ここで、図11(a)において、フリップチップ型の半導体LSI1の電極部1aは、シリコン等から成る半導体基板2上にスパッタリング、エッチング等により形成されたA1-Cu合金等から成る電極パッド3と、この電極パッド3の上から半導体基板2の表面全体を覆うように形成されたシリコン窒化膜、ポリイミド等から成る表面保護膜4と、この表面保護膜4の電極パッド3の領域に形成された開口部4aと、この開口部4aの側面と底部で露出した電極パッド3の表面を覆うようにスパッタリング等により形成された、例えばCr、Cu、Au等から成る金属多層膜、所謂BLM(Ball Limiting Metal)膜5とから構成されている。

【0005】このような構成の半導体LSI1の電極部1aに対してはんだバンプを形成するためには、図11(b)に示すように、上記BLM膜5の領域に開口部6aを有するレジスト膜6を形成する。続いて、図11(c)に示すように、レジスト膜6の上から半導体基板2の表面全体にはんだ蒸着膜7を成膜する。その後、図11(d)に示すように、レジスト膜6のリフトオフにより、不要な部分のはんだ蒸着膜7を除去し、所望のパターンのはんだ蒸着膜7を形成する。最後に、図11

(e)に示すように、熱処理を加えてはんだ蒸着膜7のはんだを溶融させることにより、はんだの表面張力に基づいて、ほぼ球状のはんだバンプ7aを形成する。ここで、一般的には、上記はんだバンプ7aの形成は、半導体LSI1が半導体ウェハの状態、即ち個々の半導体LSIチップ1に切断される前の状態にて行なわれるようになっている。

【0006】このようにして電極部1aにはんだバンプ7aが形成された半導体LSI1から、ウェハ状の半導体基板2をチップ状の個々の半導体LSI1としてダイシング等により切り出す。その後、図12に示すように、各半導体LSI1のはんだバンプ7aをそれぞれプリント配線基板8上に形成された接点部としてのCu等から成るランド8aに当接させる。ここで、プリント配線基板8のランド8aを除く表面は、はんだレジスト8bにより覆われており、ランド8aの領域は、共晶はんだ膜8cによりブリコートされている。

【0007】従って、共晶はんだ膜8cは、リフロー工程により溶融されて、はんだバンプ7aとランド8aの間に入り込んで冷却硬化することになる。これにより、各はんだバンプ7aは、ランド8aに対してはんだ付けされ、電気的に接続されることになる。以上のようにして行なわれるフリップチップ実装においては、従来のモールド樹脂によりパッケージングされた半導体装置の実装の場合に比較して、プリント配線基板が小型化されるので、種々の電子機器の小型化、軽量化の実現に寄与することになる。

【0008】

【発明が解決しようとする課題】ところで、ICカード、携帯電話、PDA(Personal Digital Assistant)等の携帯電子機器においては、半導体装置の実装スペースはできるだけ小さくすることが望ましく、これまで主として企図されてきた2次元的な小型化に加えて、高さ方向に関しても薄型化が可能である半導体装置の実装技術の確立が切望されている。半導体装置の薄型化は、例えば半導体装置形成後の半導体ウェハを薄型加工することにより行なわれることが望ましいが、半導体ウェハを薄型化すると、半導体ウェハ自体が割れ易くなり、その後の取扱いが非常に困難になってしまう。さらに、半導体ウェハの大口径化が進んでいる現在では、半導体ウェハの薄型化に際しては、半導体ウェハの機械的強度を確保することが重要なポイントになっている。

【0009】これに対して、半導体装置の電極部にはんだバンプを形成した後に、半導体ウェハの薄型化を行なうと、半導体ウェハのハンドリングや各種加工装置へのセッティングの際に、はんだバンプが外部と接触して、変形不良や接合部の導通不良を招くことが頻繁に発生してしまう。また、上述したはんだバンプ7aとランド8aとののはんだ接合は、周囲の温度変化の際に、半導体LSI

SI1の半導体基板2とプリント配線基板8の熱膨張率が異なることから、熱ストレスを受けることになる。

【0010】即ち、半導体基板2を構成するシリコンの熱膨張率が $3.4 \text{ ppm}/^{\circ}\text{C}$ であるのに対して、プリント配線基板8として一般に使用されるガラスエポキシ系基板の熱膨張率が約 $15 \text{ ppm}/^{\circ}\text{C}$ と大きい。従って、半導体LSI1のオンオフによって発生する温度差により、はんだバンプ7aとランド8aとののはんだ接合部分に対して熱ストレスが繰返し加えられると、この接合部分にクラックが発生して破断し、電気的接続が切れて、所謂破断故障を誘起することがあり、はんだ接合の信頼性に問題があった。

【0011】このような熱ストレスによるはんだ接合部分の破断を抑制するために、図12に示すように、半導体LSI1とプリント配線基板8との間に封止樹脂9を注入して、上述した熱ストレスを封止樹脂9の全体で受けることにより、はんだ接合部分の熱ストレスを緩和して、熱ストレスに対する強度を高める方法が一般に採用されている。しかしながら、上述した封止樹脂9を使用した構成においては、半導体LSI1がプリント配線基板8に対して封止樹脂9により一体的に固定保持されているので、半導体LSI1に不良が発生した場合には、半導体LSI1が実装されたプリント配線基板8全体をまるごと交換して不良品を廃棄するか、あるいは化学的または機械的な外力によって半導体LSI1をプリント配線基板8から無理矢理剥ぎ取るようにしている。

【0012】ここで、前者のプリント配線基板8のまるごと交換は、コストが高くなってしまいうという問題があると共に、後者の強制的な半導体LSI1の剥ぎ取りは、プリント配線基板8にダメージを与えることになってしまう。従って、半導体LSI1に不良が発生した場合の不良部品の交換作業、所謂リワーク作業が困難であり、フリップチップ実装が広く普及しない一因となっている。

【0013】本発明は、以上の点に鑑み、半導体装置をより薄型に構成することができると共に、封止樹脂を使用することなく、半導体装置とプリント配線基板との間の熱ストレスを確実に緩和し、接合部分の強度を高めてフリップチップ実装における接続信頼性を高めるようにした半導体装置の製造方法を提供することを目的としている。

【0014】

【課題を解決するための手段】上記目的は、本発明の構成によれば、半導体装置の電極パッド上にはんだバンプを形成する第1の段階と、前記はんだバンプの側面を包囲するように、前記半導体装置の電極パッド側の表面に封止樹脂を充填する第2の段階と、前記半導体装置を構成する半導体基板の裏面に対して薄型化加工を行なう第3の段階とを含むことにより達成される。

【0015】上記構成によれば、はんだバンプの根元部

分の周囲が、封止樹脂の充填によって補強された後に、半導体装置を構成する半導体基板が薄型化される。従って、封止樹脂の充填により、熱ストレスが緩和されると共に、第3の段階にて半導体基板が薄型化されても、封止樹脂によって機械的強度が高められることにより、半導体基板が割れてしまうことがなく、取扱いが容易になる。これにより、半導体基板表面に対する半導体装置の製造の際には、比較的厚い半導体基板に対して各種工程が実施されると共に、薄型化された半導体基板が封止樹脂により補強されているので、容易に割れてしまうことがない。また、薄型化の際に、はんだバンプと外部との接触等によるはんだバンプの変形不良や接合部の導通不良が発生することがなく、半導体装置の歩留まりが向上することになり、特に、近年の半導体基板の大口径化に伴って、薄型の半導体装置の生産性がより一層向上することになる。そして、微細なデザインルールに基づいて設計される高集積度、高性能、高信頼性を備えた半導体装置の製造に極めて有利となる。

【0016】

【発明の実施の形態】以下、この発明の好適な実施形態を添付図を参照しながら詳細に説明する。なお、以下に述べる実施形態は、本発明の好適な具体例であるから、技術的に好ましい種々の限定が付されているが、本発明の範囲は、以下の説明において特に本発明を限定する旨の記載がない限り、これらの態様に限られるものではない。

【0017】図1乃至図5は、本発明による半導体装置の製造方法の第1の実施形態を示している。ここで、図2(A)に示すように、半導体ウェハ10は、フリップチップ型の半導体LSI11が複数個並んで構成されている。フリップチップ型の半導体LSI11の各電極部は、シリコン等から成る半導体基板12上にスパッタリング、エッチング等により形成されたAl-Cu合金等から成る電極パッド13と、この電極パッド13の上から半導体基板12の表面全体を覆うように形成されたシリコン窒化膜、ポリイミド等から成る表面保護膜14と、この表面保護膜14の電極パッド13の領域に形成された開口部14aと、この開口部14aの側面と底部で露出した電極パッド13の表面を覆うようにスパッタリング等により形成された、例えばCr、Cu、Au等から成る金属多層膜、所謂BLM膜15と、このBLM膜15の領域に開口部16aを備えるように表面全体に形成されたポリイミド膜16とから構成されている。

【0018】先ず、ステップST1にて、上記構成の半導体ウェハ10の個々の半導体LSI11の各電極部に対して、図11に示したはんだバンプ7aと同様に、高融点はんだによるほぼ球状のはんだバンプ20を形成する。このはんだバンプ20は、ポリイミド膜16の開口部16aから露出したBLM膜15上に形成されている。尚、上記高融点はんだは、例えば97%程度の

Pb及び3%程度のSnから構成されており、高い融点を有すると共に、高い弾力性を備えている。

【0019】次に、ステップST2にて、図2(B)に示すように、半導体ウェハ10の表面全体にエポキシ樹脂等の封止樹脂21をスピンコート等により塗布した後、キュアリングにてほぼ150°Cで5時間程度熱処理することにより封止樹脂21を硬化させる。この場合、封止樹脂21の厚さは、上記第1のはんだボールバンプ20とほぼ同じ高さかそれ以下に選定される。これにより、第1のはんだボールバンプ20の頂部を封止樹脂21の表面から突出させることができる。

【0020】続いて、ステップST3にて、図2(C)に示すように、はんだバンプ20及び封止樹脂21の上から、半導体基板12の表面全体に亘って保護部材としてテープ基材22aと粘着材層22bから成る保護テープ22を貼着する。その後、ステップST4にて、半導体ウェハ10の裏面(図示の場合、下面)を機械研削装置により研削することにより、半導体ウェハ10そして半導体基板12を図3(A)に示す状態から図3(B)に示す状態まで薄型化する。

【0021】ここで、半導体ウェハ10そして半導体基板12は、機械研削によって厚さが、200μm以下、例えば150μmになるまで薄型化される。これにより、前工程の多数のプロセスにて半導体ウェハ10の裏面に不可避免的に形成されていた傷10aが、研削除去されることになる。この場合、はんだバンプ20は封止樹脂21により包囲されていると共に、半導体基板11の表面全体が保護テープ22により覆われているので、機械研削の際にはんだバンプ20が外部と接触して、変形不良や接合部の導通不良が発生するようなことはない。尚、図3においては、図面の簡略化のために、半導体LSI11の部分が省略されている。

【0022】次に、ステップST5にて、上記保護テープ22を除去した後、ステップST6にて、図5(A)に示すように、はんだバンプ20の頂部にボール転写法等により共晶はんだ膜パターンによるはんだボール23を形成する。ここで、上記共晶はんだは、例えば40%程度のPb及び60%程度のSnから構成されており、前述した高融点はんだに比較して、例えば200°C以下の低い融点を有している。

【0023】そして、共晶はんだのみが溶融し且つ高融点はんだが溶融しない範囲の温度、例えば200°C乃至250°Cにて加熱処理することにより、はんだボール23を溶解させてその表面張力によりボール状に形成させると共に、硬化させることによりはんだバンプ20と接合させる。これにより、はんだバンプ20及びはんだボール23による積層構造のはんだボールバンプ24が形成される。最後に、ステップST7にて、各半導体LSI11からウェハ状の半導体基板12をチップ状の個々の半導体LSI11としてダイシング等により切り

出し、半導体LSI11を完成させる。

【0024】以上の工程により製造された半導体LSI11は、以下に示すようにしてプリント配線基板30に対して実装される。即ち、図5(B)に示すように、フリップチップ型の半導体LSI11の各はんだボールバンプ24をそれぞれプリント配線基板30上に形成された接点部としてのCu等から成るランド31に対向させる。ここで、プリント配線基板30のランド31を除く表面は、はんだレジスト32により覆われていると共に、ランド31の領域は、共晶はんだ膜33がプリコートされている。

【0025】そして、図5(C)に示すように、半導体LSI11をプリント配線基板30に対して接近させることにより、各はんだボールバンプ24を対応するランド31に対して当接させ、所謂リフロー工程によりはんだボール23を構成する共晶はんだ膜及びプリント配線基板30のランド31にプリコートされた共晶はんだ膜33を溶解させて互いに接合させる。以上により、フリップチップ型の半導体LSI11のプリント配線基板30に対するフリップチップ実装が完了する。

【0026】このように、半導体ウェハ10そして半導体基板12の薄型化のための機械研削の前に、はんだバンプ20の周囲に封止樹脂21が充填されるので、半導体基板12の機械的強度が高められることになる。従って、薄型化された半導体基板12はその取扱いが容易になり、半導体LSI11の歩留まりが向上することになる。また、はんだボール23が共晶はんだ膜から構成されているので、はんだボール23とランド31にプリコートされた共晶はんだ膜33との濡れ性が良好であり、互いに良く馴染むことによって強く接合するので、確実にはんだ接合させることができる。

【0027】さらに、はんだバンプ20が封止樹脂21によって固定保持されることになり、実装後に周囲の温度変化等によって半導体基板12とプリント配線基板30との間に熱ストレスが発生したとしても、各はんだボールバンプ24が封止樹脂21により固定されていると共に、はんだバンプ20が弾性を有しているので、封止樹脂21全体が熱ストレスを受けると共に、はんだバンプ20が弾性変形することになり、熱ストレスが緩和されることになる。これにより、熱ストレスによるはんだボールバンプ24の接合部分の破断を防止することができ、はんだボールバンプの信頼性を向上させることができる。

【0028】以上のように、第1の実施形態によれば、半導体LSI11を構成する半導体基板12が薄型化されることにより、フリップチップ実装の薄型化が実現されることになる。これにより、半導体LSI11を利用した最終的な各種電子機器の製品セットに関しても、例えばICカード、携帯電話やPDA等の携帯電子機器のさらなる小型化、薄型化が可能になる。

【0029】ここで、ステップST4における機械研削加工を行なう機械研削装置は、例えば図4に示すように構成されている。この機械研削装置40は、垂直軸の周りに回転駆動されるウェハキャリア41と、ウェハキャリア41の水平な上面に裏返しに、即ち保護テープ22を下にして載置され且つ固定保持された半導体ウェハ10に対して、水平方向に移動可能に且つ垂直軸の周りに回転可能に支持された砥石42とから構成されている。このような構成において、砥石42が垂直軸の周りに自転しながら水平方向に移動することにより、半導体ウェハ10の裏面(上面)を機械研削するようになってい

る。尚、研削条件は、例えば砥石送り速度150 μ m/分、砥石回転数2500rpm、研削後の半導体ウェハ10の厚さ150 μ m(削り代約475 μ m)である。

【0030】図6乃至図8は、本発明による半導体装置の製造方法の第2の実施形態を示している。この半導体装置の製造方法は、図1に示した半導体装置の製造方法とほぼ同じ構成であり、図6のフローチャートに従って以下に説明する。まず、ステップST11にて、図2(A)に示すように、はんだバンプ20を形成し、ステップST12にて、図2(B)に示すように、封止樹脂21を充填した後、ステップST13にて、図2(C)に示すように、半導体基板12の表面全体に保護部材としての保護テープ22を貼着する。

【0031】次に、ステップST14にて、半導体基板12の裏面を機械研削することにより、半導体基板12の薄型化を行なった後、ステップST15にて、半導体基板12の表面から保護テープ22を除去する。その後、ステップST16にて、図7に示すように、封止樹脂21から突出しているはんだバンプ20の表面をプラズマクリーニング処理する。このプラズマクリーニング処理により、はんだバンプ20の表面がスパッタエッチングされて、その表面に残存する封止樹脂21や保護テープ22の粘着材層22bの成分が除去され、はんだバンプ20の表面が清浄化される。

【0032】ここで、プラズマクリーニング処理は、例えば図8に示すプラズマ処理装置を使用して、不活性ガス、例えばアルゴンガスの放電プラズマによって行なわれる。このプラズマ処理装置50は、公知構成の所謂トライオード型RFプラズマ処理装置であって、密閉されたプラズマ処理室51と、プラズマ処理室51内の上部に設けられた陽極板52と、下部に設けられた陰極板としてのステージ53と、陽極板52及びステージ53との間に設けられた格子電極54と、陽極板52に対して結合コンデンサ55を介して接続されたプラズマ生成電源56と、ステージ53に対して結合コンデンサ57を介して接続された基板バイアス電源58とを備えている。

【0033】このような構成のプラズマ処理装置50によれば、ステージ53上に被処理基板である半導体ウェ

ハ10が載置され、内部に不活性ガスとして例えばアルゴンガスが導入された状態で、基板バイアス電源58によりステージ53と格子電極54との間にバイアス電圧が印加されると共に、プラズマ生成電源56により陽極板52及び格子電極54間にプラズマソース電力が印加される。これにより、陽極板52と格子電極54の間にアルゴンガスの放電プラズマ59が生成され、アルゴンイオン Ar^+ が、陽極板52から格子電極54に向かって飛び出し、格子電極54を通過してステージ52上の半導体ウェハ10に衝突する。従って、スパッタリング作用によって、半導体ウェハ10の表面、即ち樹脂21の表面及びはんだバンプ20の突出する表面がエッチングされることになり、はんだバンプ20の表面に残存する封止樹脂21や保護テープ22の粘着材層22bの成分が除去されることになる。

【0034】この場合、上記プラズマ処理装置50の動作条件は、例えば以下のように設定される。

アルゴンガスの流量 25 sccm

圧力 1.0 Pa

ステージ53の温度 室温

プラズマソース電力 700 W (2 MHz)

基板バイアス電圧 350 V (13.56 MHz)

処理時間 120 秒

このような動作条件により、半導体ウェハ10のプラズマクリーニング処理を行なったところ、 Ar^+ イオンのスパッタリング作用によって、第1のはんだボールバンプ20の表面に残存する封止樹脂21が効果的に除去され、第1のはんだボールバンプ20の表面が清浄化された。

【0035】その後、ステップST17にて、はんだバンプ20の頂部にボール転写法等によって共晶ハンダによるはんだボール23を形成し、ステップST18にて、ウェハ状の半導体基板12をチップ状の個々の半導体LSI11としてダイシング加工により切り出し、半導体LSI11を完成させる。以上の工程により製造された半導体LSI11は、以下に示すようにしてプリント配線基板30に対して実装される。即ち、図5(B)に示すように、フリップチップ型の半導体LSI11の各はんだボールバンプ24をそれぞれプリント配線基板30上に形成された接点部としてのCu等から成るランド31に対向させる。

【0036】ここで、プリント配線基板30のランド31を除く表面は、はんだレジスト32により覆われていると共に、ランド31の領域は、共晶はんだ膜33がプリコートされている。そして、図5(C)に示すように、半導体LSI11をプリント配線基板30に対して接近させることにより、各はんだボールバンプ24が対応するランド31に対して当接させ、所謂リフローによってはんだボール23を構成する共晶はんだ膜及びプリント配線基板30のランド31にプリコートされた共晶

はんだ膜33を溶融させて互いに接合させる。以上により、フリップチップ型の半導体LSI11のプリント配線基板30に対するフリップチップ実装が完了する。

【0037】この場合、図1乃至図5に示した第1の実施形態と同様に、半導体ウェハ10そして半導体基板12の薄型化のための機械研削の前に、はんだバンプ20の周囲に封止樹脂21が充填されるので、半導体基板12の機械的強度が高められることになる。従って、薄型化された半導体基板12はその取扱いが容易になり、半導体LSI11の歩留まりが向上することになる。また、はんだボール23が共晶はんだ膜から構成されているので、はんだボール23とランド31にプリコートされた共晶はんだ膜33との濡れ性が良好であり、互いに良く馴染むことによって強く接合するので、確実にはんだ接合させることができる。

【0038】さらに、はんだバンプ20が封止樹脂21によって固定保持されることになり、実装後に周囲の温度変化等によって半導体基板12とプリント配線基板30との間に熱ストレスが発生したとしても、各はんだボールバンプ24が封止樹脂21により固定されていると共に、はんだバンプ20が弾性を有しているので、封止樹脂21全体が熱ストレスを受けると共に、はんだバンプ20が弾性変形することになり、熱ストレスが緩和されることになる。これにより、熱ストレスによるはんだボールバンプ24の接合部分の破断を防止することができ、はんだボールバンプの信頼性を向上させることができる。

【0039】また、はんだバンプ20の頂部がプラズマクリーニング処理によって清浄化させるので、はんだバンプ20の頂部に残留する封止樹脂21や保護テープ22の粘着材層22bの成分は完全に除去される。そして、この清浄な面に対してはんだボール23が形成されることから、はんだバンプ20とはんだボール23との間の界面における接続抵抗が低減され、より低抵抗で且つ高性能なはんだバンプ24を構成することができる。以上のように、第2の実施形態によれば、半導体LSI11のプリント配線基板30へのフリップチップ実装における信頼性及び耐久性が、第1の実施形態に比較してより一層改善されることになる。

【0040】図9乃至図10は、本発明による半導体装置の製造方法の第3の実施形態を示している。この半導体装置の製造方法は、図1に示した半導体装置の製造方法とほぼ同じ構成であり、図9のフローチャートに従って以下に説明する。まず、ステップST21にて、図2(A)に示すように、はんだバンプ20を形成し、ステップST22にて、図2(B)に示すように、封止樹脂21を充填する。次に、ステップST23にて、半導体ウェハ10の裏面をスピンエッチング装置によりエッチング処理することによって、図3に示すように、半導体ウェハ10そして半導体基板12を図3(A)に示す状

態から図3(B)に示す状態まで薄型化する。

【0041】半導体ウェハ10そして半導体基板12は、上記エッチング処理によって厚さが200 μ m以下、例えば150 μ mになるまで薄型化される。これにより、前工程の多数のプロセスにて半導体ウェハ10の裏面に不可避免的に形成されていた傷10aが、エッチング除去されることになる。ここで、エッチング処理は、例えば図10に示すスピンエッチング装置を使用して、例えばフッ酸と硝酸の混合液により行なわれる。このスピンエッチング装置60は、プロセス室61内で回転駆動されるウェハキャリア62と、プロセス室61内に薬液を導入する供給管63と、プロセス室61内に空気(窒素)を導入する給気管64と、プロセス室61から薬液を排出する排出管65と、プロセス室61から空気

ウェハキャリア回転速度	2000rpm
薬液組成	HF:HNO ₃ :H ₂ O=1:1:8
約液供給量	40l/分
処理後のウェハ厚	150 μ m(エッチング代 約475 μ m)

このような動作条件により、半導体ウェハ10のスピンエッチング処理を行なったところ、前工程の多数のプロセスにより半導体ウェハ10の裏面に不可避免的に形成された傷10aが除去されて薄型化された。

【0044】その後、ステップST24にて、図7に示すように、封止樹脂21から突出しているはんだバンプ20の表面をプラズマ処理装置50を使用してアルゴンガス及びフッ酸ガスによってプラズマクリーニング処理する。これにより、はんだバンプ20の表面がスパッタエッチングされて、その表面に残存する封止樹脂21の成分が除去され、はんだバンプ20の表面が清浄化される。

【0045】この場合、上記プラズマ処理装置50の動作条件は、例えば以下のように設定される。

HFガスの流量	10sccm
アルゴンガスの流量	25sccm
圧力	1.0Pa
ステージ53の温度	室温
プラズマソース電力	700W(2MHz)
基板バイアス電圧	350V(13.56MHz)
処理時間	120秒

【0046】このような動作条件により、半導体ウェハ10のプラズマクリーニング処理を行なったところ、Ar⁺イオンのスパッタリング作用に加えて、HFによる還元作用によって、はんだバンプ20の表面に付着する自然酸化膜や付着物が化学反応を伴いながら一層効果的に除去され、はんだバンプ20の表面がより一層清浄化された。続いて、ステップST25にて、はんだバンプ20の頂部にボール転写法等によって共晶ハンダによるはんだボール23を形成し、ステップST26にて、ウェハ状の半導体基板12をチップ状の個々の半導体LSI11としてダイシング加工により切り出し、半導体LSI11を完成させる。

を排出する排気管66とを備えている。

【0042】このような構成のスピンエッチング装置60によれば、ウェハキャリア62上に半導体ウェハ10が裏返しに載置され、ウェハキャリア62が回転駆動された状態で、プロセス室51内に供給管63を介して薬液としてフッ酸、硝酸及び水の混合液が導入されると共に、給気管64を介して空気が導入される。これにより、半導体ウェハ10の上面である裏面には、上記構成の薬液が付着すると共に、その回転駆動によって薬液が遠心力により半導体ウェハ10から飛散することになり、半導体ウェハ10の裏面が均一にエッチングされることになる。

【0043】この場合、上記スピンエッチング装置60の動作条件は、例えば以下のように設定される。

SI11を完成させる。

【0047】以上の工程により製造された半導体LSI11は、以下に示すようにしてプリント配線基板30に対して実装される。即ち、図5(B)に示すように、フリップチップ型の半導体LSI11の各はんだボールバンプ24をそれぞれプリント配線基板30上に形成された接点部としてのCu等から成るランド31に対向させる。ここで、プリント配線基板30のランド31を除く表面は、はんだレジスト32により覆われていると共に、ランド31の領域は、共晶はんだ膜33がプリコートされている。

【0048】そして、図5(C)に示すように、半導体LSI11をプリント配線基板30に対して接近させることにより、各はんだボールバンプ24が対応するランド31に対して当接させ、所謂リフローによってはんだボール23を構成する共晶はんだ膜及びプリント配線基板30のランド31にプリコートされた共晶はんだ膜33を溶融させて互いに接合させる。以上により、フリップチップ型の半導体LSI11のプリント配線基板30に対するフリップチップ実装が完了する。

【0049】この場合、前述した第1及び第2の実施形態と同様に、半導体ウェハ10そして半導体基板12のエッチング処理による薄型化の前に、はんだバンプ20の周囲に封止樹脂21が充填されるので、半導体基板12の機械的強度が高められることになる。従って、薄型化された半導体基板12はその取扱いが容易になり、半導体LSI11の歩留まりが向上することになる。また、はんだボール23が共晶はんだ膜から構成されているので、はんだボール23とランド31にプリコートされた共晶はんだ膜33との濡れ性が良好であり、互いに良く馴染むことによって強く接合するので、確実にはんだ接合させることができる。

【0050】さらに、はんだバンプ20が封止樹脂21によって固定保持されることになり、実装後に周囲の温度変化等によって半導体基板12とプリント配線基板30との間に熱ストレスが発生したとしても、各はんだボールバンプ24が封止樹脂21により固定されていると共に、はんだバンプ20が弾性を有しているため、封止樹脂21全体が熱ストレスを受けると共に、はんだバンプ20が弾性変形することになり、熱ストレスが緩和されることになる。これにより、熱ストレスによるはんだボールバンプ24の接合部分の破断を防止することができ、はんだボールバンプの信頼性を向上させることができる。

【0051】また、はんだバンプ20の頂部が不活性ガスであるアルゴンガスと還元性ガスであるHFガスによるプラズマクリーニング処理によって清浄化させるので、はんだバンプ20の頂部に残留する封止樹脂21や保護テープ22の粘着材層22bの成分がより一層完全に除去される。そして、この清浄な面に対してはんだボール23が形成されることから、はんだバンプ20とはんだボール23との間の界面における接続抵抗が低減され、より低抵抗で且つ高性能なはんだバンプ24を構成することができる。以上のように、第3の実施形態によれば、半導体LSI11のプリント配線基板30へのフリップチップ実装における信頼性及び耐久性が、第1及び第2の実施形態に比較してより一層改善されることになる。

【0052】上記実施形態においては、はんだバンプ20は、真空蒸着膜による成膜及びフォトリソのリフトオフにより形成されているが、これに限らず、他の電解メッキ等を利用した方法により形成されてもよい。また、半導体ウェハ10の薄型化のために、機械研削装置40による機械研削またはスピネッチング装置60による薬液を使用したエッチング処理が行なわれるが、これに限らず、例えば化学的機械研磨処理やドライエッチング処理等が行なわれてもよい。

【0053】さらに、はんだボール23は、ボール転写法によって形成されているが、これに限らず、他の印刷法、転写法だけでなく、さらにメッキ法等の方法により形成されてもよい。また、半導体LSI11の電極パッドに対してはんだボールバンプ24を形成する場合について説明したが、これに限らず、他の半導体デバイスの電極パッドに対しても本発明を適用することができる。さらに、はんだボールバンプ24は、はんだバンプ20及びはんだボール23の積層構造になっているが、これに限らず、はんだバンプ20単体であってもよい。

【0054】また、半導体装置として半導体LSI11を製造する場合について説明したが、これに限らず、半導体IC等の他の半導体装置の製造方法に対して本発明を適用することができる。さらに、上記第3の実施形態においては、還元性ガスとしてHFガスが使用されてい

るが、これに限らず、例えばH₂、HCl等が使用されてもよい。この場合、HFやHCl等の液体ソースの場合には、He等のキャリアガスによるバブリング、加熱気化あるいは超音波気化等の手法によって、プロセス室61内に導入される。

【0055】

【発明の効果】以上述べたように、本発明によれば、半導体装置をより薄型に構成することができると共に、封止樹脂を使用することなく、半導体装置とプリント配線基板との間の熱ストレスを確実に緩和し、接合部分の強度を高めてフリップチップ実装における接続信頼性を高めることができる。

【図面の簡単な説明】

【図1】本発明による半導体装置の製造方法の第1の実施形態を示すフローチャート。

【図2】図1の製造方法における保護テープ貼着までの工程を順次に示す概略断面図。

【図3】図1の製造方法における機械研削工程の前後の状態を示す半導体基板の概略断面図。

【図4】図3の機械研削工程で使用される機械研削装置の一例の構成を示す概略斜視図。

【図5】図1の製造方法におけるはんだボール形成工程と、実装前後の状態を示す概略斜視図。

【図6】本発明による半導体装置の製造方法の第2の実施形態を示すフローチャート。

【図7】図6の製造方法におけるプラズマクリーニング工程を示す概略断面図。

【図8】図7のプラズマクリーニング工程で使用されるプラズマ処理装置の一例の構成を示す概略図。

【図9】本発明による半導体装置の製造方法の第3の実施形態を示すフローチャート。

【図10】図9の製造方法におけるエッチング工程で使用されるスピネッチング装置の一例の構成を示す概略図。

【図11】従来の半導体装置の製造方法の一例における工程を順次に示す概略断面図。

【図12】図4の半導体装置の製造方法により製造されたフリップチップ型の半導体LSIのプリント配線基板への実装状態を示す概略断面図。

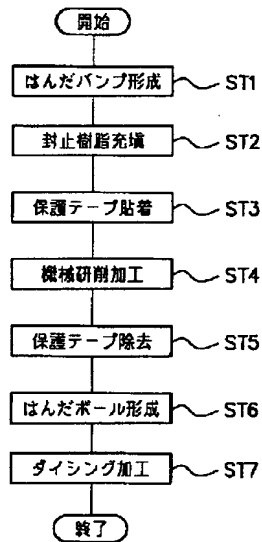
【符号の説明】

10・・・半導体ウェハ、11・・・半導体LSI、12・・・半導体基板、13・・・電極パッド、14・・・表面保護膜、15・・・BLM膜、16・・・ポリイミド膜、20・・・はんだバンプ（高融点はんだ）、21・・・封止樹脂、22・・・保護テープ（保護部材）、22a・・・テープ基材、22b・・・粘着剤層、23・・・はんだボール（共晶はんだ）、24・・・はんだバンプ、30・・・プリント配線基板、31・・・ランド、32・・・はんだレジスト、33・・・共晶はんだ膜、40・・・機械研削装置、41・・・ウェ

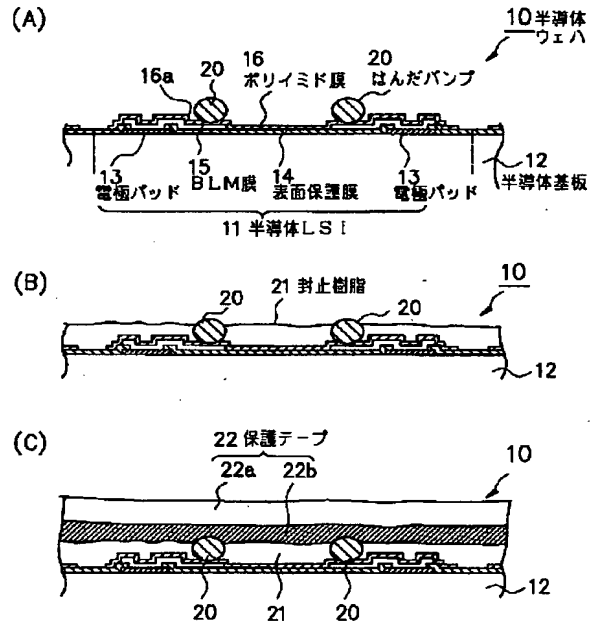
ハキャリア、42・・・砥石、50・・・プラズマ処理装置、51・・・プラズマ処理室、52・・・陽極板、53・・・ステージ、54・・・格子電極、55, 57・・・結合コンデンサ、56・・・プラズマ生成電源、

58・・・基板バイアス電源、60・・・スピンエッチング装置、61・・・プロセス室、62・・・ウェハキャリア、63・・・供給管、64・・・給気管、65・・・排出管、66・・・排気管

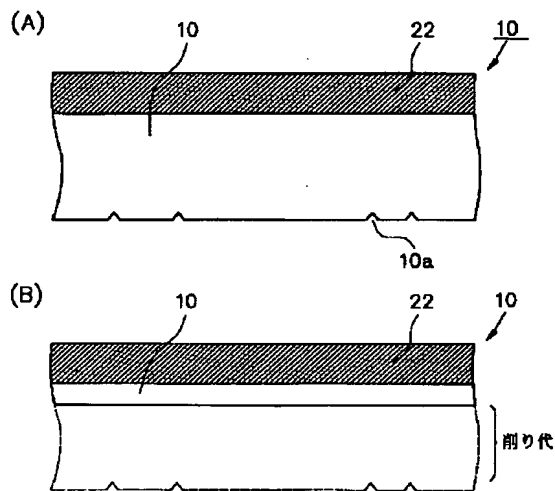
【図1】



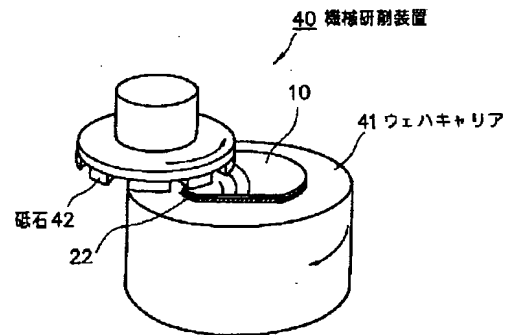
【図2】



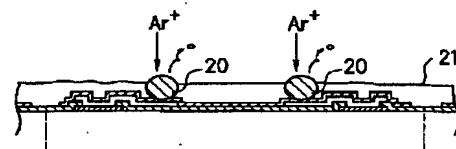
【図3】



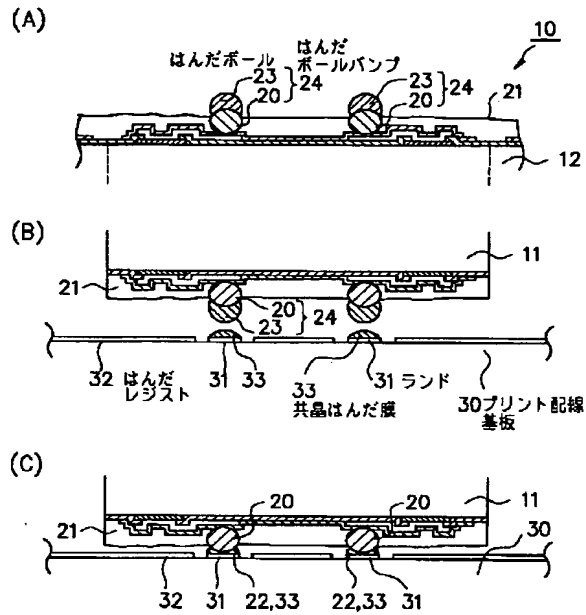
【図4】



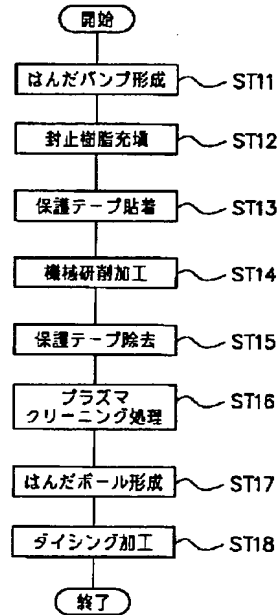
【図7】



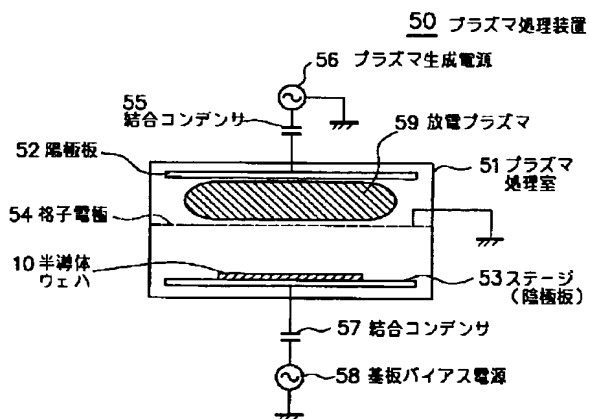
【図5】



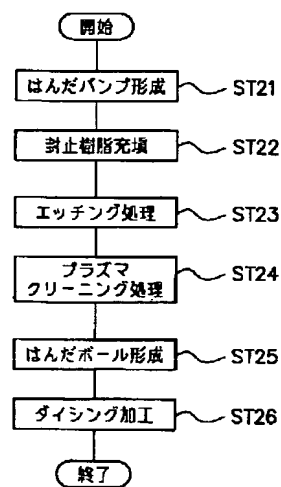
【図6】



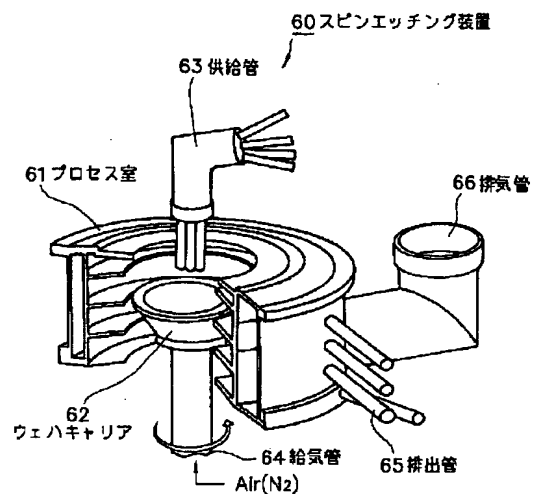
【図8】



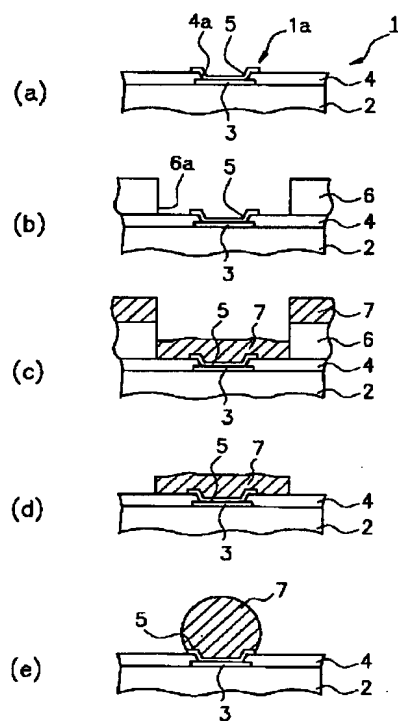
【図9】



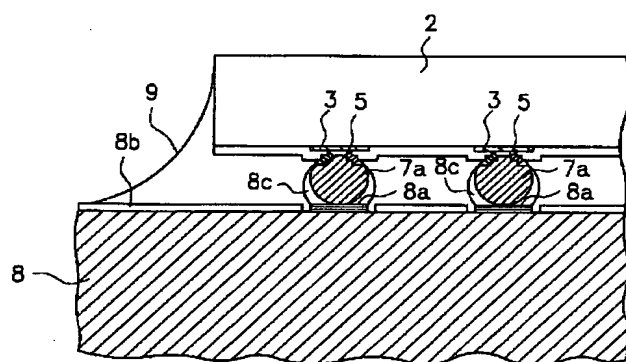
【図10】



【図11】



【図12】



フロントページの続き

(51)Int. Cl.⁷

H01L 21/304
21/306
21/56

識別記号

645

F I

H01L 21/302
21/306
21/92

テマコード(参考)

M
B
602K
604H

Docket # 24 PIN FN 10356

Applic. # 10/623,068

Applicant: Timme et al.

Lerner Greenberg Sterner LLP
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100 Fax: (954) 925-1101

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ ~~FADED~~ TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ ~~LINES~~ OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)